



Document Summary



New
Search



Help

[Preview Claims](#)

[Preview Full Text](#)

[Preview Full Image](#)

Email Link: 

Document ID: JP 10-256362 A2

Title: SEMICONDUCTOR SUBSTRATE, AND MANUFACTURE OF SEMICONDUCTOR SUBSTRATE AND THIN FILM SEMICONDUCTOR

Assignee: SONY CORP

Inventor: INAKANAKA HIROSHI

US Class:

Int'l Class: H01L 21/762 A; H01L 21/306 B; H01L 27/12 B; H01L 31/04 B; H01L 33/00 B

Issue Date: 09/25/1998

Filing Date: 03/17/1997

Abstract:

PROBLEM TO BE SOLVED: To obtain an optimum-strength structure according to the use and mode by forming a single crystal semiconductor layer and porous layer on a semiconductor substrate through a hollow layer having dispersed columnar pieces.

SOLUTION: A multi-step anodic forming is applied to a single crystal Si semiconductor substrate 11 to form a porous layer 12 composed of a low- porosity porous surface layer 12S and higher medium-porosity layer 12M than the layer 12S on the substrate surface and heat-treated to make smooth the surface of the layer 12S and form a hollow layer 13 at the interface of the porous layer and substrate 11, extending along the layer 12 with a single crystal semiconductor layer 14 formed on the hollow layer 13, which has a plurality of dispersed and planted, hence the hollow layer 13 cracks for holding the separability.

(C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256362

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/762
21/306
27/12
31/04
33/00

H 0 1 L 21/76
27/12
33/00
21/306
31/04

D
B
P

審査請求 未請求 請求項の数15 O L (全 21 頁)

(21) 出願番号 特願平9-63135

(22) 出願日 平成9年(1997) 3月17日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 田舎中 博士

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

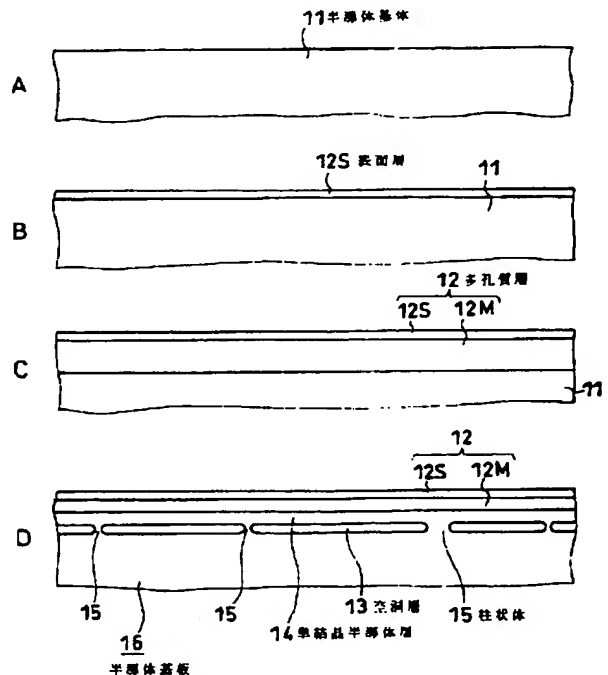
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 半導体基体と、半導体基体および薄膜半導体の製造方法

(57) 【要約】

【課題】 各種使用目的、態様に応じた最適強度、構造の半導体基板を容易、かつ安価に提供し、各種半導体装置を量産的に、歩留り良く、高い収率をもって、したがって、低コストをもって製造できるようにする。

【解決手段】 半導体基体11上に、複数の柱状体15が分散して存在する空洞層13を介して単結晶半導体層14が形成された半導体基体を構成する。



1

【特許請求の範囲】

【請求項 1】 半導体基体上に、複数の柱状体が分散して存在する空洞層を介して単結晶半導体層が形成され、該単結晶半導体層上に多孔質層が形成され、該多孔質層上に、所要の材料膜の成膜がなされたことを特徴とする請求項 1 に記載の半導体基体。

【請求項 2】 半導体基体表面に、多段階陽極化成とアニールとによって、複数の柱状体が分散して存在する空洞層と、該空洞層上の単結晶半導体層と、該単結晶半導体層上の多孔質層とを形成することを特徴とする半導体基体の製造方法。

【請求項 3】 上記多段階陽極化成とアニールとによって、上記空洞層と、上記単結晶半導体層と、多孔質層とを形成して後に、上記多孔質層上に所要の材料膜の成膜を行うことを特徴とする請求項 2 に記載の半導体基体の製造方法。

【請求項 4】 半導体基体表面に、多段階陽極化成とアニールとによって、複数の柱状体が分散して存在する空洞層と、該空洞層上の単結晶半導体層と、該単結晶半導体層上の多孔質層とを形成する工程と、上記多孔質層上に、半導体膜を成膜する工程と、その後、上記空洞層において、上記半導体基体からの上記半導体膜の分離を行う分離工程とを有することを特徴とする薄膜半導体の製造方法。

【請求項 5】 半導体基体表面に、多段階陽極化成とアニールとによって、複数の柱状体が分散して存在する空洞層と、該空洞層上の単結晶半導体層と、該単結晶半導体層上の多孔質層とを形成する工程と、上記多孔質層を除去する工程と、上記多孔質層の除去によって露呈した上記単結晶半導体層上に、半導体膜を成膜する工程と、該半導体膜が成膜された単結晶半導体層を、上記空洞層における分離によって上記半導体基体から分離する工程とを有することを特徴とする半導体薄膜の製造方法。

【請求項 6】 上記多段階陽極化成を、少なくとも 1 種類以上の低電流密度の通電と、その後の高電流密度の間欠的通電とによって行うことを特徴とする請求項 2 に記載の半導体基体の製造方法。

【請求項 7】 上記多段階陽極化成を、少なくとも 1 種類以上の低電流密度の通電と、その後の高電流密度の間欠的通電とによって行うことを特徴とする請求項 4 に記載の薄膜半導体の製造方法。

【請求項 8】 上記多段階陽極化成を、少なくとも 1 種類以上の低電流密度の通電と、その後の高電流密度の間欠的通電とによって行うことを特徴とする請求項 5 に記載の半導体基体の製造方法。

【請求項 9】 上記アニールを、常圧もしくは減圧の水素雰囲気中、あるいは高真空中で行うことを特徴とする請求項 2 に記載の半導体基体の製造方法。

【請求項 10】 上記アニールを、常圧もしくは減圧の

2

水素雰囲気中、あるいは高真空中で行うことを特徴とする請求項 4 に記載の薄膜半導体の製造方法。

【請求項 11】 上記アニールを、常圧もしくは減圧の水素雰囲気中、あるいは高真空中で行うことを特徴とする請求項 5 に記載の薄膜半導体の製造方法。

【請求項 12】 上記アニールを、第 8 族希ガス元素雰囲気中で行うことを特徴とする請求項 2 に記載の半導体基体の製造方法。

【請求項 13】 上記アニールを、第 8 族希ガス元素雰囲気中で行うことを特徴とする請求項 4 に記載の薄膜半導体の製造方法。

【請求項 14】 上記アニールを、第 8 族希ガス元素雰囲気中で行うことを特徴とする請求項 5 に記載の薄膜半導体の製造方法。

【請求項 15】 上記多孔質層の除去をエッチングさせる機能を有するガスによって除去することを特徴とする請求項 5 に記載の薄膜半導体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基体と、半導体基体および薄膜半導体の製造方法に関する。

【0002】

【従来の技術】各種単体半導体装置、例えばトランジスタ、発光素子、太陽電池等の半導体素子、あるいは複数の半導体素子が共通の基板に形成されてなる半導体集積回路等の半導体装置を構成する場合において、例えばフレキシブル構成とするとか、あるいはいわゆる S O I (Semiconductor on Insulator) 構成とする場合等において薄膜半導体の作製がなされる。

【0003】

【発明が解決しようとする課題】本出願人は、例えば特願平 9 - 5 3 3 5 4 号出願等において、先に半導体基体に対して、その表面に陽極化成によって分離層を有する多孔質層の形成を行い、これの上に半導体膜の成膜を行い、この半導体膜を、多孔質層の分離層において分離して半導体膜による薄膜半導体を得る方法の提案をなした。この方法による場合、必要十分に薄い例えば単結晶薄膜半導体を容易に得ることができる。

【0004】本発明は、例えばこのような薄膜半導体等を得る場合に適用して好適な半導体基体と、この半導体基体、薄膜半導体を、より確実を得ることができるようにした半導体基体と、半導体基体および薄膜半導体の製造方法を提供するものである。

【0005】

【課題を解決するための手段】本発明は、半導体基体上に、複数の柱状体が分散して存在する空洞層を介して単結晶半導体層が形成され、この単結晶半導体層上に多孔質層が形成され、この多孔質層上に材料膜の成膜がなされた半導体基体を構成する。

【0006】本発明による半導体基体の製造方法は、半

3

導体基体表面に、多段階陽極化成とアニールとによって、複数の柱状体が分散して存在する空洞層と、この空洞層上の単結晶半導体層と、この単結晶半導体層上の多孔質層とを形成する工程とを取って半導体基体を得る。

【0007】また、本発明による薄膜半導体の製造方法は、半導体基体表面に、多段階陽極化成とアニールとによって、複数の柱状体が分散して存在する空洞層と、この空洞層上の単結晶半導体層と、この単結晶半導体層上の多孔質層とを形成する工程と、多孔質層上に、半導体膜を成膜する工程と、その後、空洞層において、半導体基体からの半導体膜の分離を行う分離工程とを経て薄膜半導体を得る。

【0008】また、本発明による薄膜半導体の製造方法は、半導体基体表面に、多段階陽極化成とアニールとによって、複数の柱状体が分散して存在する空洞層と、この空洞層上の単結晶半導体層と、この単結晶半導体層上の多孔質層とを形成する工程と、多孔質層を除去する工程と、多孔質層の除去によって露呈した単結晶半導体層上に、半導体膜を成膜する工程と、この半導体膜が成膜された単結晶半導体層を、空洞層における分離によって半導体基体から分離する工程とを経て薄膜半導体を得る。

【0009】上述したように、本発明による半導体基体は、半導体基体上に、空洞層を介して単結晶半導体層が形成された構成、あるいは、この単結晶半導体層上に多孔質層が形成された構成とするものであり、空洞層は、複数の柱状体が分散して存在する構成とされていて半導体基体に対して、単結晶半導体層が空洞層に存在する柱状体によって適度に連結された状態とすることができることから、単結晶半導体層もしくは多孔質層に対し、成膜等の各種処理において、これらが分離することなく半導体基体に対して一体化された構成とすることができ、しかも、半導体基体からの分離においては、所要の外力によって確実に分離（剥離）することができるものである。

【0010】そして、この半導体基体に対する空洞層の形成は、単に半導体基体表面を多段階陽極化成および熱処理すなわちアニールによって形成することができることからその製造は容易である。

【0011】

【発明の実施の形態】本発明の実施の形態を説明する。本発明においては、半導体基体表面に、多段階陽極化成とアニールすなわち熱処理とを経ることによって、半導体基体上に、複数の柱状体が分散して存在する空洞層を介して単結晶半導体層が形成され、この単結晶半導体層上に多孔質層が形成された半導体基体を構成する。そして、1つの実施態様としては、この半導体基体を用いて、その多孔質層上に更に各種の材料膜、例えば金属膜、誘電体膜、あるいは半導体膜、例えばエピタキシャル成長による単結晶膜、もしくは多結晶膜、非晶質膜に

4

よる例えば半導体膜を成膜する。

【0012】この半導体基体を有する半導体基体において、その材料膜例えば半導体膜を、上記空洞層において、半導体基体から分離（剥離）することによって、すなわち、いわば空洞層における柱状体の破碎によって半導体基体から分離することによって薄膜半導体を構成することができる。

【0013】また、他の実施態様としては、上述した半導体基体において、その多孔質層の除去を行い、残された単結晶半導体層上に、半導体膜の成膜、例えばエピタキシャル成長による半導体膜の成膜を行い、その後、上述したと同様に、空洞層において半導体膜を単結晶半導体層と共に、半導体基体から分離（剥離）して薄膜半導体を構成することができる。

【0014】陽極化成は、公知の方法、例えば伊藤らによる表面技術 Vol. 46, No. 5, pp. 8~13, 1995〔多孔質 Si の陽極化成〕に示された方法によることができる。すなわち、例えば図 1 にその概略構成図を示す 2 重セル法で行うことができる。この方法は、第 1 および第 2 の槽 1 A および 1 B を有する 2 槽構造の電解溶液槽 1 が用いられる。そして、両槽 1 A および 1 B 間に多孔質層を形成すべき半導体基体 11 を配置し、両槽 1 A および 1 B 内に、直流電源 2 が接続された対の白金電極 3 A および 3 B の各一方が配置される。電解溶液槽 1 の第 1 および第 2 の槽 1 A および 1 B 内には、それぞれ例えばフッ化水素 HF とエタノール C_2H_5OH とを含有する電解溶液 4、あるいはフッ化水素 HF とメタノール CH_3OH とを含有する電解溶液 4 が収容され、第 1 および第 2 の槽 1 A および 1 B において電解溶液 4 に半導体基体 11 の両面が接触するように配置され、かつ両電極 3 A および 3 B が電解溶液 4 に浸漬配置される。そして、半導体基体 11 の多孔質層を形成すべき表面側の槽 1 A 内の電解溶液 4 に浸漬されている電極 3 A 側を負極側として、直流電源 2 が接続されて両電極 3 A および 3 B 間に通電がなされる。このようにすると、半導体基体 11 側を陽極側、電極 3 A を陰極側とする給電がなされ、これにより、半導体基体 11 の電極 3 A 側に対向する表面が侵蝕されて多孔質化する。

【0015】この 2 槽セル法によるときは、オーミック電極を半導体基体に被着形成することが不要となり、このオーミック電極から不純物が半導体基体に導入することが回避される。

【0016】しかしながら、陽極化成は、上述した 2 槽セル法による場合に限られるものではなく、例えば図 2 に概略構成図を示す単槽セル法によることもできる。この例では単槽の電解溶液槽 1 が設けられ、その例えば底面に設けた開口 1 H に対向して、陽極化成を行う半導体基体 11 が、O リング 5 を介して液密に衝合して配置される。電解溶液槽 1 内には電解溶液 4 が収容されて、底部に配置された半導体基体 11 の陽極構成を行う面に電

5

解溶液4が接触するようになされる。槽1内の電解溶液4中には、例えばPt電極板より成る一方の電極3Aが浸漬される。半導体基体11の裏面には例えばカーボン電極より成る他方の電極3Bが、できるだけ陽極化成を行う面の全域に亘って対向するように面接触して配置される。そして、電解溶液4中に浸漬された電極3A側を負極側として、両電極3Aおよび3B間に直流電源2が挿入されて、通電がなされる。このようにする場合においても、半導体基体11の電極3Aと対向する側の面が陽極化成される。

【0017】そしてこの陽極化成における条件の選定により、形成される多孔質層、空洞層単結晶半導体層の構造、厚さ等が変化し、分離（剥離）性すなわち分離（剥離）強度が変化する。

【0018】半導体基体に対する陽極化成は、少なくとも電流密度を異にする2段階以上とする。すなわち、少なくとも半導体基体表面を低電流密度で陽極化成する工程と、その後、これより高い電流密度で陽極化成する工程とを採る。この陽極化成は、例えば低電流密度での陽極化成工程と、更にこの低電流密度よりも高い電流密度での陽極化成工程と、更にこれより高い電流密度での陽極化成工程とを採ることができる。また、陽極化成において、その高電流密度での陽極化成は、その通電を間欠的に行うようにすることができる。また、多孔質層を形成する陽極化成における、中間高電流密度での陽極化成において、その電流密度を漸次もしくは段階的に大きくすることができる。

【0019】また、陽極化成工程において、電流密度を変更するに際して、電解溶液の組成も変更することができる。

【0020】半導体基体は、シリコンSiの単結晶基体、或る場合はSi多結晶基体、あるいはGaAs, GaP, GaN, SiGe単結晶等の化合物半導体基体など種々の半導体基体によって構成することができるが、格子整合の上から、例えばSi単結晶薄膜半導体や、Si単結晶薄膜による太陽電池などの製造には、Si単結晶基体を用いることが好ましい。

【0021】化合物半導体による薄膜半導体を形成する場合においては、半導体基体として化合物半導体基体を用いることができ、この場合においてもこれに陽極化成を行えば、同様に表面に多孔質層を有する半導体基体を構成することができる。

【0022】また、半導体基体は、n型もしくはp型の不純物がドーパされた半導体基体あるいは、不純物を含まない半導体基体によって構成することができる。しかし、陽極化成を行う場合は、p型の不純物が高濃度にドーパされた低比抵抗の半導体基体いわゆるp⁺Si基体を用いることが望ましい。この半導体基体としてp⁺型Si基体を用いるときは、p型不純物の例えばボロンBが、約10¹⁹atoms/cm³程度にドーパされ、その抵抗が

6

0.01~0.02Ωcm程度のSi基板を用いることが望ましい。そして、このp⁺型Si基体を陽極化成すると、基板表面とほぼ垂直方向に細長く伸びた微細孔が形成され、結晶性を維持したまま多孔質するため、望ましい多孔質層が形成される。したがって、この多孔質層上に、半導体膜のエピタキシャル成長を行うことができる。

【0023】半導体基体の形状は、種々の構成を採ることができる。例えば円板状等のウェファ状、あるいは単結晶引上げによる円柱体状インゴットを用いてその周面を基体表面とするなど、種々の形状とすることができる。

【0024】半導体基体表面に、多孔質層を形成した後は、常圧あるいは減圧における水素ガス雰囲気中あるいは真空中で加熱するとか、He, Ne, Ar, Kr等の周期律表において第8族の希ガス元素雰囲気中で高温アニール例えば700℃~1200℃でアニールする。このようにすると、上述したように、半導体基体表面に上述した空洞層と、この空洞層を介して単結晶半導体層とこれの上に多孔質層の形成がなされる。

【0025】多孔質層上、もしくはこの多孔質層が除去された単結晶半導体層上への成膜は、MOCVD（有機金属化学的気相成長法）、CVD（化学的気相成長）法、MBE（分子線エピタキシー）法、スパッタリング等によることができ、単結晶、多結晶、非晶質の各膜として形成することができるし、更に、例えば非晶質膜として形成した後、アニールによって、多結晶もしくは単結晶化することができる。

【0026】上述した陽極化成後にアニールによって空洞層および単結晶半導体層を形成して後の多孔質層表面もしくは単結晶半導体層への半導体膜等のエピタキシャル成長は、例えばCVD法により、700℃~1200℃の温度で行うことができるものであり、この場合アニール温度より低い温度によって成膜を行うことによって、アニール条件の選定によって選定された空洞層および単結晶半導体層の厚さ、空洞層における柱状体の太さ、密度等の空孔率が、半導体膜等の成膜によって変動することを回避できる。

【0027】また、この成膜は、半導体基体と同じ物質でもよいし、異なる物質でもよい。例えば、単結晶Si半導体基体を用い、その表面に形成した多孔質層にSi、あるいはGaAs等の化合物半導体、またはSi化合物、例えばSi_{1-y}Ge_yをエピタキシャル成長するとか、これらを適宜組み合わせ積層する等、種々のエピタキシャル成長を行うことができる。

【0028】例えば太陽電池を構成する場合は、半導体膜としては、例えば多孔質層側から順に、例えばp型の高不純物濃度のp⁺半導体層、p型の低不純物濃度のp⁻半導体層、およびn型の高不純物濃度のn⁺半導体層の順にエピタキシャル成長させた複層半導体膜とすることができる。これらの層の不純物濃度、膜厚は特に制限

7

されないが、例えば p^+ 型半導体層は、膜厚が $0 \sim 1 \mu m$ の範囲、典型的には $0.5 \mu m$ 程度、ボロンBの濃度が $10^{18} \sim 10^{20} \text{atoms/cm}^3$ の範囲、典型的には約 $10^{19} \text{atoms/cm}^3$ 程度、 p 型半導体層は、膜厚が $1 \sim 30 \mu m$ の範囲、典型的には $5 \mu m$ 程度、ボロン濃度が $10^{14} \sim 10^{17} \text{atoms/cm}^3$ の範囲、典型的には約 $10^{16} \text{atoms/cm}^3$ 程度、 n^+ 型半導体層は、膜厚が $0.1 \sim 1 \mu m$ の範囲、典型的には $0.5 \mu m$ 程度、リンPまたは砒素Asの濃度が $10^{18} \sim 10^{20} \text{atoms/cm}^3$ の範囲、典型的には約 $10^{19} \text{atoms/cm}^3$ 程度とすることが好ましい。

【0029】また、半導体膜を、多孔質層側から p^+ 型Si層、 p 型 $Si_{1-x}Ge_x$ グレーディッド層、アンドープの $Si_{1-y}Ge_y$ 層、 n 型 $Si_{1-x}Ge_x$ グレーディッド層、および n^+ 型シリコン層の順にエピタキシャル成長させた半導体膜とし、これによってダブルヘテロ構造の太陽電池を作製することができる。このダブルヘテロ構造を構成する各層の典型的な例示としては、 p^+ 型Si層としては、不純物濃度が $10^{19} \text{atoms/cm}^3$ 程度、膜厚が $0.5 \mu m$ 程度、 p 型 $Si_{1-x}Ge_x$ グレーディッド層としては、不純物濃度が $10^{16} \text{atoms/cm}^3$ 程度、膜厚が $1 \mu m$ 程度、アンドープの $Si_{1-y}Ge_y$ 層としては、 y が 0.7 、膜厚が $1 \mu m$ 程度、 n 型 $Si_{1-x}Ge_x$ グレーディッド層としては、不純物濃度が $10^{16} \text{atoms/cm}^3$ 程度、膜厚が $1 \mu m$ 程度、および n^+ 型Si層としては、不純物濃度が 10^{19}cm^{-3} 程度、膜厚が $0.5 \mu m$ 程度とすることが好ましい。なお、 p 型、 n 型 $Si_{1-x}Ge_x$ グレーディッド層中のGeの組成比 x は、それぞれ両側に存する層の $x=0$ からアンドープの $Si_{1-y}Ge_y$ の y まで、漸次増大するようにすることが好ましい。これにより、各界面において格子定数が整合することから、良好な結晶性を得ることができる。因みに、このようなダブルヘテロ構造の太陽電池では、その中央のアンドープの $Si_{1-y}Ge_y$ 層にキャリアおよび光を有効に閉じこめることができるため、高い変換効率を得ることができる。

【0030】また、上述した半導体膜における n 型もしくは p 型の不純物の導入は、その成膜時、例えばエピタキシャル成長時にドーピングすることができる。あるいは、半導体膜の成膜後に、イオン注入、拡散等によって不純物の導入を全面もしくは選択的に行うこともできる。この場合、その使用目的に応じて、導電型、不純物の濃度、種類の選択がなされる。

【0031】多孔質層を除去して、単結晶半導体層上に、半導体膜の成膜を行う場合の、多孔質層の除去は、半導体基体がSiである場合、上述した高温アニールにより形成された多孔質層をエッチングする機能を持つガス、例えば液化塩化水素（化学式： HCl ）ガスを少量流すことによってエッチング除去する。このように、高温アニールのなされた多孔質層に対し HCl ガスによるエッチングを行うときは、このエッチングによって多孔

8

質層が除去されて露呈した単結晶半導体層の表面は、きわめて清浄となる。そして、このように清浄化された単結晶半導体層に対して例えばSiの成膜例えばエピタキシャル成長を行うときは、上述した高温アニールと、 HCl ガスによるエッチングと、エピタキシャル成長とは、同一エピタキシャル成長炉内において連続的に行うことができることから、単結晶半導体層のエピタキシャル成長面が酸化されるとか、異物が介入するとかの不都合が回避されることから、すぐれた成膜例えば特性のよいエピタキシャル成長膜を形成することができる。そして、その作業工程も簡易化される。

【0032】しかしながら、多孔質層の除去は、上述したアニールの後に、炉から取出して例えばRIE（反応性イオンエッチング）、化学的ウェットエッチング、機械的エッチングいわゆるCMP（Chemical Mechanical Polishing）等によって除去する方法を採ることもできる。

【0033】また、半導体膜の成膜において、Siをエピタキシャル成長する場合、この半導体膜を、例えば半導体集積回路等の薄膜半導体とする場合におけるように、表面が平滑性を有する半導体膜として成膜することが望まれる場合においては、このSiのエピタキシャル成長は、塩素ガス系の原料ガス例えば $Si_2H_2Cl_2$ 、 $SiHCl_3$ 、 $SiCl_4$ 等を用いることが望ましい。そして、例えば太陽電池におけるように、受光効率を高めるように、その表面に微細凹凸を形成することが望まれる場合は、エピタキシャル成長面に対し塩酸によるエッチングを行って表面に微細凹凸を形成し、その後、シラン系原料ガス例えば SiH_4 、 Si_2H_6 、 Si_3H_8 等を用いたエピタキシャル成長を行うことによって微細凹凸の形成が可能となる。

【0034】また、上述した単層もしくは複数層の成膜を、半導体基体から分離するに当たっては、この成膜上に、高分子シート等のフレキシブル基板もしくは剛性に富んだガラス基板、樹脂基板あるいは例えば所要のプリント配線がなされたフレキシブル等の担持基板を接合して、この担持基板と共に、空洞層において半導体基体からの分離を行うようにすることができる。この場合、その成膜が半導体膜であり、その担持基板が絶縁基板であるとか、その接合面に絶縁層が形成された半導体基板、あるいは導電性基板等によって構成するときは、SOI構成の薄膜半導体を作製することができる。

【0035】また、空洞層における分離は、例えば、超音波印加によって分離させるとか、真空吸着によって分離することができる。

【0036】一方、残された半導体基体は、再び上述した薄膜半導体の製造に繰り返して使用するとか、上述したSOIの担持基板として用いるとか、あるいは上述した繰り返し使用によって薄くなった半導体基体は、これ自体を薄膜半導体として用いることができる。

9

【0037】上述したアニール、および半導体膜の成膜時のいずれにおいても、半導体基体を所定の基体温度に加熱する方法としては、いわゆるサセプタ加熱方式によることもできるし、半導体基体自体に直接電流を流して加熱する通電加熱方式等を採用することができる。

【0038】次に、本発明の実施例を挙げて説明する。しかしながら、本発明は、この実施例に限定されるものではない。まず、本発明による半導体基体とその製造方法の実施例について説明する。

【0039】〔実施例1〕図3は、この実施例1の製造工程図を示す。まず、半導体基体、例えば高濃度にボロンBがドーパされて、比抵抗例えば0.01~0.02Ωcmとされた単結晶Siによるウエファ状半導体基体11を用意した(図3A)。

【0040】そして、この半導体基体11に対して多段階陽極化成を行って半導体基体11の表面に多孔質層を形成した。この実施例においては、図2で説明した1槽構造の陽極化成装置を用いて陽極化成を暗所で行った。この場合、電解溶液は、 $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ を用いた。そして、両電極3Aおよび3B間に直流電流を

通電した。
【0041】まず、電流密度を、 $0\text{mA}/\text{cm}^2$ から $1\text{mA}/\text{cm}^2$ へと約1分掛けて傾斜的に増加させて行き、この $1\text{mA}/\text{cm}^2$ の低電流で8分間通電する低電流通電を行った。これにより多孔率が低い多孔質の表面層12Sが形成された(図3B)。

【0042】次に、電流密度を、 $1\text{mA}/\text{cm}^2$ から $7\text{mA}/\text{cm}^2$ へと約30秒掛けて傾斜的に増加させて行き、この $7\text{mA}/\text{cm}^2$ の中電流で8分間通電する中電流通電を行った。これにより多孔率が表面層12Sに比して高い中間多孔率層12Mが形成された多孔質層12が形成された(図3C)。

【0043】次に、電流密度を、先の両通電電流密度より高い $80\text{mA}/\text{cm}^2$ に高めて0.3秒間通電し、その後通電を停止して1分間経過した後、再び $80\text{mA}/\text{cm}^2$ に高めて0.3秒間通電し、更にその後通電を停止して1分間経過した後、更に $80\text{mA}/\text{cm}^2$ に高めて0.3秒間の通電する間欠的高電流通電を行った。その後、この半導体基体を常圧Siエピタキシャル成長装置によって、 H_2 雰囲気中で熱処理すなわちアニールした。このアニールは、室温から 1120°C に約20分間掛けて昇温し、この温度で約50分間保持した。このようにすると、多孔質層12の表面層12Sの表面が平坦で滑らかになり、多孔質層12内の、多孔質層と半導体基体11との界面(この界面とは、半導体基体11の陽極化成前における初期の表面から所要の深さ位置の多孔質層12が生成されずに残された半導体基体11の表面を指称するものであり、以下同様である。)側に位置して、多孔質層12の面に沿って広がる空洞層13が発生するとともに、空洞層13上に単結晶半導体層14が生

10

じた(図3D)。この空洞層13には、複数の柱状体15が、分散して植立するように発生していわば半導体基体11の界面に対して単結晶半導体層14を半導体基体11に対して連結する連結柱として機能すると共に、空洞層13に所要の分離性を保持する亀裂を形成する。

【0044】このようにして多孔質層12下に単結晶半導体層14が形成され、これと半導体基体11との間に、空洞層13による亀裂が発生して機械的に脆弱化された半導体基体この例では半導体基板16が構成される。

【0045】〔実施例2〕この実施例においては、アニール条件が実施例1と相違する以外は、図3で説明した実施例1と同様の工程によって、半導体基板16を作製した。すなわち、この実施例2においては、図3A~図3Cで説明した工程によって多孔質層12を形成した半導体基体を、常圧Siエピタキシャル成長装置によって、 H_2 雰囲気中で室温から 1120°C に約20分間掛けて昇温し、この温度で、この実施例2においては、実施例1に比し長時間の約8時間のアニールを行った。この場合においても、多孔質層12の表面層12Sの表面が平坦で滑らかになり、図3Dに示すように、多孔質層12下、すなわち多孔質層と半導体基体11のとの界面に空洞層13が発生するとともに、空洞層13上に単結晶半導体層14が生じた。そして、この空洞層13には、複数の柱状体15が、分散発生する。この柱状体は、アニール時間を、実施例1に比して長くした、この実施例2による場合、その幅、すなわち太さが大となり、また単結晶半導体層14の厚さが増した。

【0046】〔実施例3〕この実施例においては、実施例1によって得た半導体基板16上に半導体膜の成膜を行った場合である。すなわち、この実施例3においても、図3A~図3Dで示した実施例1と同様の工程を採って半導体基板16を構成した。そして、この半導体基板16上に、図4にその概略断面図を示すように、この半導体基板16の、多孔質層12上に材料膜17の成膜を行った。この実施例においては、Si半導体膜17をエピタキシャル成長した。このエピタキシャル成長は、上述した 1120°C の50分間のアニールの後、 1060°C に降温して、 SiH_4 および B_2H_6 ガスによる高濃度ボロンドープのCVD(化学的気相成長)を10分間行い、その後、これより低い濃度のボロンドープのCVDを40分間行ってp型の厚さ約 $10\mu\text{m}$ のSi半導体膜17をエピタキシャル成長した。図4において、図3Dと対応する部分には同一符号を付して重複説明を省略する。

【0047】〔実施例4〕この実施例においては、実施例2によって得た半導体基板16上に半導体膜の成膜を行った場合である。すなわち、この実施例4においては、実施例3とは半導体基板16を製造するに際してのアニール時間が、約8時間とされ、実施例3における半

導体基板 16 を製造するに際してのアニール時間 50 分に比して長時間とした以外は、実施例 3 と同様の工程を採った。すなわち、この実施例 4 においては、実施例 2 で得た半導体基板 16 上に、実施例 3 と同様に、図 4 に示すように、多孔質層 12 上に材料膜 17 として、Si 半導体膜 17 を上述した 1120℃ のアニールの後、1060℃ に降温して、SiH₄ および B₂H₆ ガスによる高濃度ボロンドープの CVD (化学的気相成長) を 10 分間行い、その後、これより低い濃度のボロンドープの CVD を 40 分間行って p 型の厚さ約 10 μm の Si 半導体膜 17 をエピタキシャル成長した。

【0048】上述の実施例 3 と実施例 4 によって作製したそれぞれ Si 半導体膜 17 を有する半導体基板 16 各断面像を高分解能 SEM (Secondary Electron Microscopy) で観察した。実施例 3 によるサンプル A と、実施例 4 によるサンプル B による SEM による断面像を、図 5 および図 6 に示す。これらサンプル A および B は、断面が (110) 面で、上部方向が <001> 方位である。

【0049】これら、サンプル A とサンプル B とを比較すると、上述した陽極化成処理における低電流通電と中電流通電とで形成された多孔質層の各層の、六形状が、上述の各アニールによる再結晶化によって、それぞれ図 7 および図 8 に、サンプル A および B のそれぞれの断面拡大 SEM 像を示すように、その断面が四角形、五角形、六角形の形状で、それらの各頂点が若干丸みを帯びていることがわかった。そして、この詳細を調べたところ、基本的には、図 9 に示すように、全ての穴が、面方位 <111> を各面とした 6 つの頂点を持つ 8 面体であり、これらの頂点の内のいくつかは、図 10 に示すように、面方位 <001> の面となるように Si 原子が埋められることがわかった。

【0050】一方、単結晶半導体層 14 の膜厚は、H₂ アニール時間を 50 分としたサンプル A においては、約 2 μm となり、H₂ アニール時間を約 8 時間としたサンプル B においては、約 3.5~4 μm となった。すなわち、アニール時間を長くする程、単結晶半導体層 14 の膜厚は大となった。よって、これは多孔質 Si 層が固相エピタキシャル成長したものと考えられる。

【0051】また、空洞層 13 については、その半導体基体 11 と単結晶 Si 半導体層 14 とを連結する柱状体 15 の太さは、H₂ アニール時間を 50 分としたサンプル A では約 6 μm 以下のものが混在して発生し、これに比し、H₂ アニール時間を長くした、すなわち約 8 時間としたサンプル B においては、太さが約 15 μm 以下の柱状体が混在して発生した。すなわち、アニール時間を長くする程、空洞層 13 における柱状体 15 が太くなる。

【0052】これらの事柄から、単結晶半導体層 14 の膜厚を大とするには、アニール時間を長くすればよいが、このとき、空洞層 13 における柱状体 15 が太くな

ることから、分離強度が大、すなわち分離しにくくなることから、これらの兼ね合いを考慮してアニール時間の選定を行う。

【0053】そして、上述した実施例 3 および 4 による半導体基体を用いて、その半導体膜 17 を、空洞層 13 において柱状体 15 の破壊によって、半導体基体 11 から分離して、半導体膜 17 による薄膜半導体を得ることができる。この半導体膜 17 の、半導体基体 11 からの分離に先立って、半導体膜 17 上に絶縁層を有する担持基板もしくは絶縁性を有する担持基板を接合して、この担持基板と共に半導体膜 17 を、半導体基体 11 から分離することによって SOI 基板を得ることもできる。この場合の実施例を実施例 5 として図 11 を参照して説明する。

【0054】〔実施例 5〕この実施例では、実施例 3 または実施例 4 における図 4 に示した材料膜 17 の Si のエピタキシャル半導体膜 17 上に、例えば SiO₂ による絶縁層 18 が被着形成された Si 基板による担持基板 19 を接合する (図 11A)。この接合は、接着剤による接着もしくは表面の親水性化して接合する方法、それぞれの基板をはりあわせて後に熱アニーリングする方法 (いわゆるウエファボンディング方法) 等によることができる。その後、空洞層 13 における破断によって、半導体膜 17 を、担持基板 19 と共に、半導体基体 11 より分離する。このとき、半導体基体 11 から分離、すなわち剥離された半導体膜 17 には、多孔質層 12 が残存するので、これを必要に応じてエッチング除去する。このようにすると、担持基板 19 に絶縁層 18 を介して半導体膜 17 による薄膜半導体 27 が形成された SOI 基板 20 が得られる (図 11B)。

【0055】実施例 3~5 においては、多孔質層 12 上に、材料膜 17 の成膜、上述の実施例では Si 半導体膜をエピタキシャル成長した場合であるが、上述した多孔質層 12 の形成を行って後に、アニールによる空洞層 13 および単結晶半導体層 14 の形成を行い、その後に、多孔質層 12 をエッチング除去して単結晶半導体層 14 を外部に露呈し、この露呈された単結晶半導体層 14 上に、半導体膜 17 の成膜を行うことができる。この場合の実施例を、実施例 6 として図 12 を参照して説明する。

【0056】〔実施例 6〕この実施例においては、実施例 2 で説明した方法によって、半導体基体 11 の表面に、多段の陽極化成を行うことによって多孔質層 12 を形成し、その後、常圧 Si エピタキシャル成長装置において、H₂ 雰囲気中で室温から 1120℃ まで約 20 分間で昇温し、この 1120℃ で約 8 時間のアニールを行って多孔質層 12 に空洞層 13 の生成と、これの上に単結晶半導体層 14 を生成する処理を行う (図 12A)。

【0057】続いて、エピタキシャル成長装置内に、アニール温度と同程度の温度すなわち 1120℃ で液化塩

13

化水素（化学式： HCl ）による HCl ガスを導入する。このようにすると、多孔質層 12 すなわち多孔質 Si 層がエッチング除去され、これの下に単結晶半導体層 14 が外部に露呈する（図 12 B）。続いてその後、 1060°C に降温して SiH_4 ガスを用いた高濃度ボロンドープの Si エピタキシャル成長を 30 分間行って、半導体膜 17 の成膜を行った（図 12 C）。この成膜によって形成された半導体膜 17 の厚さは $8\mu\text{m}$ であった。

【0058】この半導体膜 17 上に、接着剤 21 を介して、例えばフレキシブル性を有する樹脂基板による担持基板 19 を接合する（図 12 D）。この担持基板 19 に接合された半導体膜 17 を、空洞層 13 における破断によって、担持基板 19 と共に、半導体基体 11 より分離して、担持基板 19 によって保持された半導体膜 17 による薄膜半導体 27 を有する SOI 基板 20 が得られる（図 12 E）。このとき、半導体基体 11 から分離された、すなわち剥離された半導体膜 17 の表面が、空洞層 13 における破壊によって凹凸面とされていることから、表面平滑化を必要とするときは、この剥離面の平滑化のエッチング処理等を行う。

【0059】この実施例 6 によって形成された SOI 基板 20 は、その担持基板 19 としてフレキシブル性を有する場合は、フレキシブル SOI 基板 20 として構成することができる。しかしながら、担持基板 19 として、例えば剛性を有する絶縁基板あるいは実施例 5 と同様に絶縁層を有する半導体基板等を用いることによって、剛性を有する SOI を形成することができる。

【0060】また、本発明は、その薄膜半導体に、各種半導体素子を形成することによって半導体集積回路装置を構成することができる。この場合の実施例を、実施例 7 として挙げ、図 13 を参照して説明する。

【0061】〔実施例 7〕この例においては、実施例 6 と同様の工程を採って、図 12 C で示すように半導体基体 11 上の空洞層 13 を介して形成された単結晶半導体層 14 上に、エピタキシャル成長した半導体膜 17 が形成された半導体基体を用意する（図 13 A）。

【0062】エピタキシャル成長された半導体膜 17 に、通常の半導体製造プロセスによって、回路素子を形成する。この実施例では、 MOS-FET （絶縁ゲート電界効果型トランジスタ）による CMOS （Complementary MOS）を有する集積回路を形成した場合で、この場合、半導体膜 17 の素子間分離を行うべき部分に、局部的酸化いわゆる LOCOS （Local Oxidation of Silicon）によって分離絶縁層 51 を形成した。そして、 MOS-FET の形成部に、例えば半導体膜 17 の表面熱酸化によってゲート絶縁膜 52 を形成し、これの上にゲート電極 53 を形成する。このゲート電極 53 の形成は、例えば CVD （化学的気相成長）法によって多結晶 Si を全面的に形成し、フォトリソグラフィによるパターンエッチングによってこれを所要のパターンとしてゲート

14

電極 53 を形成する。次に、半導体膜 17 のゲート電極 53 下の両側に、このゲート電極 53 をマスクとして比較的濃度に p 型もしくは n 型の不純物をイオン注入して低濃度のソースおよびドレイン領域を形成する。その後、ゲート電極 53 の側面に例えば SiO_2 によるサイドウォール 54 を周知の方法で形成する。そして、このサイドウォール 54 を含んでゲート電極 53 をマスクにその両側に同様の p 型もしくは n 型の不純物を高濃度にイオン注入して、これによって形成した高濃度のソースおよびドレイン領域と、先に形成した低濃度のソースおよびドレイン領域とによって、ソースおよびドレイン領域とする半導体領域 55 を形成する。このようにして LDD （Lightly Doped Drain）型 MOS-FET を形成する。

【0063】その後、全面的に例えば SiO_2 による第 1 の層間絶縁層 56 を堆積し、平坦化した後、これの上に第 1 の配線層 57 を形成する。この第 1 の配線層 57 は、第 1 の層間絶縁層 56 に穿設したコンタクトホールを通じて、回路素子の所定の半導体領域 55 に電氣的にコンタクトする。さらに、全面的に、例えば SiO_2 による第 2 の層間絶縁層 58 を形成し、これの上に第 2 の配線層 59 を形成する。この第 2 の配線層 59 は、第 2 の層間絶縁層 58 に穿設したコンタクトホールを通じて、例えば下層の第 1 の配線層の所定部に電氣的にコンタクトする（図 13 B）。

【0064】このように、半導体膜 17 に形成した集積回路を、半導体基体 11 から分離する。まず、接着剤 21 を介して例えばフレキシブル樹脂基板よりなる担持基板 19 を集積回路が形成された半導体膜 17 上に、したがって、第 2 の配線層 59 が形成された第 2 の層間絶縁層 58 上に接合すなわち貼着する（図 13 C）。このときの担持基板 19 の接着強度は、多孔質層 12 による半導体基体 11 からの分離強度よりも強い強度、すなわち分離に際して担持基板 19 に剥離が生じない程度の接着強度とする。

【0065】次に、半導体基体 11 と担持基板 19 との間に両者を引き離す方向の外力を与える。このようにすると、前述したように脆弱化された空洞層 13 において、柱状体 15 の破壊が生じ、半導体膜 17 が単結晶半導体層 14 と共に半導体基体 11 から分離される。このようにして分離され、集積回路が構成された半導体膜 17 が形成された単結晶半導体層 14 の表面、すなわち半導体基体 11 からの分離面に例えば樹脂膜を塗布して、この面の保護を行う保護膜 62 を形成する（図 13 D）。

【0066】このようにすると、担持基板 19 に、回路素子が形成された半導体膜 17 による薄膜半導体が形成された集積回路装置が構成される。この集積回路装置は、担持基板 19 が、フレキシブルな基板である場合は、フレキシブルな集積回路装置として構成することが

15

できる。しかしながら、担持基板 19 が剛性を有するすなわちリジッドな基板とするときはリジッドな集積回路装置を構成することができる。

【0067】上述した集積回路装置においては、回路素子が CMOS である場合を例示したが、言うまでもなく、回路素子としては、CMOS に限られず、種々の回路素子によることができ、種々の集積回路装置に適用することができる。

【0068】更に、本発明は、太陽電池を得る場合に適用することができる。この場合の一実施例を、実施例 8 として図 14 および図 15 を参照して説明する。

【0069】〔実施例 8〕この実施例においては、受光面側電極からの端子導出、すなわち導電線の導出を、容易に行うことができるようにしたものである。この実施例においても、Si 単結晶半導体基体 11 を用意し、その表面を実施例 1 で説明したと同様の方法による陽極化成を行って表面層 12S と、これに菱高い多孔率を有する中間多孔率層 12M が形成された多孔質層 12 を形成する。そして、この半導体基体 11 を、常圧 Si エピタキシャル成長装置によって、H₂ 雰囲気中で熱処理すなわちアニールした。このアニールは、室温から 1120℃ に約 20 分間掛けて昇温し、この温度で約 30 分間保持した。このようにすると、多孔質層 12 の表面層 12S の表面が平坦で滑らかになり、多孔質層 12 内の、多孔質層と半導体基体 11 との界面側に、単結晶半導体層 14 が発生すると共に、複数の柱状体 15 が、分散して植立する空洞層 13 が発生する（図 14A）。その後、多孔質層 12 を、HCl によってエッチングして単結晶半導体層 14 を外部に露呈し、これの上に、常圧 Si エピタキシャル成長装置に、SiH₄ ガスと B₂H₆ ガスとを用いたエピタキシャル成長を 3 分間行って、ボロン B が 1.0¹⁹atoms/cm³ にドーピングされた p⁺ Si による第 1 の半導体層 171 を形成し、次に、B₂H₆ ガスの流量を変更して、Si エピタキシャル成長を 20 分間行って、ボロン B が 1.0¹⁶atoms/cm³ にドーピングされた低濃度の p-Si による第 2 の半導体層 172 を形成し、更に B₂H₆ ガスに換えて PH₃ ガスを供給して、エピタキシャル成長を 4 分間行って、第 2 の半導体膜 132 上に、リン P が 1.0¹⁹atoms/cm³ の高濃度にドーピングされた n⁺ Si による第 3 の半導体層 173 を形成して、第 1 ~ 第 3 の半導体層 171 ~ 173 よりなる p⁺-p⁻-n⁺ 構造の半導体膜 17 を形成した（図 14B）。

【0070】次に、この実施例においては、エピタキシャル半導体膜 13 上に表面熱酸化によって SiO₂ 膜すなわち透明の絶縁膜 26 を形成し、フォトリソグラフィによるパターンエッチングを行って電極ないしは配線とのコンタクトを行う開口 26W を形成する。この開口 16W は、所要の間隔を保持して図において紙面と直交する方向に延びるストライプ状に平行配列して形成することができる。このように形成した SiO₂ 膜により、界

16

面でのキャリア発生や再結合を極力少なくすることが可能である。そして、全面的に金属膜の蒸着を行い、フォトリソグラフィによるパターンエッチングを行って所要のパターン、この例では、ストライプ状の開口 16W に沿ってストライプ状の電極ないしは配線 37 を形成する（図 14B）。この電極ないしは配線 37 を形成する金属膜は、例えば厚さ 30 nm の Ti 膜、厚さ 50 nm の Pd、厚さ 100 nm の Ag を順次蒸着し、さらにこれの上に Ag メッキを行って形成した多層構造膜によって構成し得る。その後、400℃ で 20 ~ 30 分間のアニールを行った。

【0071】次に、この実施例においては、ストライプ状の電極ないしは配線 37 上に、それぞれこれらに沿って導電線 41、この実施例では金属ワイヤを接合し、これの上に透明の接着剤 21 によって、透明基板 42 を接合する（図 14C）。電極ないしは配線 37 への導電線 41 の接合は、半田付けによることができる。そして、これら導電線 41 は、その一端もしくは両端を、電極ないしは配線 37 よりそれぞれ長くして外方に導出する。

【0072】その後、半導体基体 11 と透明基板 42 とに、互いに引き離す外力を与える。このようにすると、脆弱な空洞層 13 において、半導体膜 17 および単結晶半導体層 14 が半導体基体 11 より、剥離（分離）され、透明基板 42 上に、半導体膜 17 が接合された薄膜半導体 23 が得られる（図 15D）。

【0073】この場合、薄膜半導体 23 の裏面には、多孔質層 12 が残存するが、これの上に銀ペーストを塗布し、更に金属板を接合して他方の裏面電極 24 を構成する。このようにして、プリント基板 20 に p⁺-p⁻-n⁺ 構造の薄膜半導体 23 が形成された太陽電池が構成される（図 15E）。この金属電極 24 は、太陽電池裏面の保護膜としても機能する。

【0074】このようにして形成した太陽電池は、受光側電極ないしは配線 37 が、透明基板 42 によって覆われているにもかかわらず、これからの電氣的な外部導出が導電線 41 によってなされていることから、外部との電氣的接続が容易になされる。また、例えば上述の実施例におけるように、エピタキシャル半導体膜 13 に対し、すなわち太陽電池の活性部に対しそれぞれコンタクトされた複数の各電極ないしは配線 37 からそれぞれ導電線 41 の導出を行うようにしたことから、太陽電池の直列抵抗を充分小とすることができる。

【0075】また、このように導電線 41 を外部に導出したことから、複数の太陽電池を相互に接続する場合、この接続を容易に行うことができる。

【0076】上述の各実施例 3 ~ 8 において、空洞層 13 における分離後に残された半導体基体 11 は、再びそれぞれの薄膜半導体、半導体集積回路装置、太陽電池等を構成する陽極化成を行う半導体基体 11 として繰り返し利用を行うことができる。また、この繰り返し利用

17

によってその厚さが薄くなった半導体基体 11 は、これ自体に回路素子もしくは集積回路を形成する薄膜半導体もしくは半導体集積回路装置を構成することができる。

【0077】また、あるいは、上述のようにして分離によって残された半導体基体 11 を、例えば薄膜半導体の担持基板 19 として用いることができる。この場合の一実施例を実施例 9 として図 16 を参照して説明する。

【0078】〔実施例 9〕この実施例においても、実施例 1 で用いたと同様の Si 単結晶半導体基体 11 を用意した (図 16 A)。この半導体基体 11 の表面を実施例 1 で説明したと同様の方法によって陽極化成を行って表面層 12 S と、これに比し高い多孔率を有する中間多孔率層 12 M が形成された多孔質層 12 を形成した (図 16 B)。そして、この半導体基体 11 を、常圧 Si エピタキシャル成長装置によって、H₂ 雰囲気中で熱処理すなわちアニールした。このアニールは、室温から 1120℃ に約 20 分間掛けて昇温し、この温度で約 30 分間保持した。このようにすると、多孔質層 12 内の、多孔質層と半導体基体 11 との界面側に、単結晶半導体層 14 が発生すると共に、複数の柱状体 15 が、分散して植立する空洞層 13 が発生する (図 16 C)。このようにして初期の半導体基体 11 の表面に、空洞層 13、単結晶半導体層 14、多孔質層 12 の形成がなされ、これより下層においては、半導体基体 11 Si として残る。

【0079】その後、多孔質層 12 を、HCl によってエッチングして単結晶半導体層 14 を外部に露呈する

(図 16 D)。このように外部に露呈した単結晶半導体層 14 上に、例えば Si による半導体膜 17 をエピタキシャル成長する。そして、この Si 半導体膜 17 の表面に、絶縁層 18 を、例えば Si 半導体膜 17 の表面熱酸化によって形成する。(図 16 E)。そして、この絶縁層 18 上に Si 担持基板 19 の接合を行う (図 16 F)。この接合は、例えば予め Si 担持基板 19 をアルカリ洗浄して表面を親水性としておき、これを絶縁層 18 が形成された半導体膜 17 上に合致させ、この状態で、例えば拡散炉において、H₂ 雰囲気中で 1000℃、30 分のアニールを行うことによって接合することができる。

【0080】その後、担持基板 19 に接合された半導体膜 17 を単結晶半導体層 14 と共に、脆弱な空洞層 13 の破壊によって半導体基体 11 から分離する (図 16 G)。このようにすると、担持基板 19 に絶縁層 18 を介して半導体膜 17 および単結晶半導体層 14 が接合された薄膜半導体を有する SOI 基板 20 が形成されるとともに、これと文例された上述の空洞層 13 より下層の半導体基体 11 Si が分離される。

【0081】このようにして、図 16 A～図 16 G で説明した一連の工程による作業の複数を、順次直列的に、あるいは並列的に行う。つまり、図 16 A～図 16 G で説明した一連の工程による第 1 の作業と、同様に図 16

18

A～図 16 G で説明した一連の工程による他の第 2 の作業、更に同様に図 16 A～図 16 G で説明した一連の工程による他の第 3 の作業・・・を行うものであり、この場合、第 1 の作業における図 16 F で示した担持基板 19 を、これより前、あるいは一部並行して行った他の上述したと同様の一例の作業で分離された半導体基体 11 s₀ によって構成する。そして、第 2 の作業における図 16 F で示した担持基板 19 を、これより前、あるいは平行して行った第 1 の作業で分離された半導体基体 11 s₁ によって構成する。

【0082】このようにして、例えば SOI 基板の製造において、他の作業で生じた半導体基体 11 の残されたすなわち分離によって生じた半導体基体 11 s (11 s₀, 11 s₁・・・) を、担持基板 19 として利用するものである。

【0083】尚、この場合の担持基板 19 として用いる半導体基体 11 s は、上述したような 1 回の図 16 A～図 16 G で説明した一連の工程によって発生した半導体基体を用いる場合に限られるものではなく、分離された半導体基体 11 s を再び初期の半導体基体 11 として用いて複数回の上述の一連の作業を行って所要の厚さに減少した半導体基体 11 s に関して担持基板 19 として利用することもできる。

【0084】尚、本発明における空洞層 13 および単結晶半導体層 14 の形成のアニールは、常圧あるいは減圧における H₂ ガス雰囲気中でのアニールのみならず、前述したように、真空中、あるいは He, Ne, Ar, Kr 等の周期律表において第 8 族元素ガス中でのアニールによることができる。

【0085】また、上述した各例では陽極化成を行う装置としては、図 2 の単槽構造を用いた場合であるが、図 1 で説明した 2 槽構造の陽極化成装置を用いることができる。

【0086】上述の陽極化成において、大電流通電、長時間通電等によって半導体例えば Si の基体側からの剥離が生じ、この Si くずが電解液槽に付着する場合がある。この場合は、基体 11 をとり出して後、電解液に換えて槽内にフッ硝酸を注入することによって不要な Si 等の半導体くずをエッチング除去することができる。また、上述した各例においては半導体膜 17 および単結晶半導体層 14 の半導体基体 11 からの分離を、互いに引き離す外力を与えて剥離した場合であり、この場合前述したように真空吸着によって行うことができる。また、あるいは超音波振動によって空洞層の破壊によって分離することができる。

【0087】また、陽極化成を、フッ化水素とエタノールを含有する電解溶液、あるいは、フッ化水素とメタノールの混合液中で行うことにより、多孔質層を容易に形成することができる。この場合、陽極化成の電流密度を変える際に、この電解溶液の組成も変えることにより、

19

多孔率の調整範囲が更に大きくなる。

【0088】また、陽極化成中に光を照射することによる、多孔質層の表面の凹凸の発生が著しくなり、エピタキシャル半導体膜の結晶性が悪くなるが、上述の実施例におけるように、陽極化成を暗所で行うことにより、この凹凸を軽減ないしは回避できて、良好な結晶性を有するエピタキシャル半導体膜を形成することができる。

【0089】また、上述したように、本発明においては、単結晶半導体層 14、もしくはこの単結晶半導体層 14 とこれの上に形成した半導体膜 17、あるいは多孔質層 12 上に形成した半導体膜 17 によって、例えば薄膜半導体の形成を行うものであり、各半導体膜 17 は、エピタキシャル成長によって形成した場合であるが、特にこの半導体膜 17 を単結晶半導体層 14 上にエピタキシャル成長するとき、結晶性にすぐれた半導体膜 17 を形成することができる。しかしながら、半導体膜 17 としてはエピタキシャル成長膜に限られるものではなく、前述したように、多結晶層、非晶質層、さらにあるいはこれらの混在によって形成することもできるものである。

【0090】また、半導体膜 17 として、シリコン Si 膜を成膜する場合、表面平滑性にすぐれた Si 膜を得るには Si 供給の原料ガスとしては塩素系ガスの SiCl_4 、 SiHCl_3 、 $\text{Si}_2\text{H}_2\text{Cl}_2$ 等による成膜が好ましく、例えば太陽電池におけるよう受光効率を高めるために表面に微細凹凸を発生させるには、半導体膜の成膜に先立って HCl によるエッチングを行って後、シラン系ガス SiH_4 、 S_2H_6 等による成膜を行うことが好ましい。

【0091】上述した本発明による半導体基体（半導体基板 16）においては、半導体基体 11 に、柱状体 15 が、いわば支持柱として存在する空洞層 13 を介して単結晶半導体層 14 が形成された構造を有するものであるが、この空洞層 13 の強度は、その連結柱状体 15 の太さ等の選定によって確実に設定できることから、或る場合は、この空洞層 13 もしくは柱状体 15 自体の各種使用態様が可能となり、またこの空洞層 13 を例えば単結晶半導体層 14 との剥離分離層として用いる場合においても、例えばハンドリングにおいて、この空洞層 13 が不用意に破壊するような不都合を効果的に回避でき、また、分離を必要とするに際してはこの空洞層 13 の全域に渡って確実にその分離を行うことができるという過不足のない強度に選定することができるものである。したがって、この半導体基板 16 を用いて薄膜半導体や、これによる SOI、太陽電池、集積回路等の半導体装置を、容易かつ確実に、したがって、高い歩留りをもって構成することができる。

【0092】また、本発明製造方法によれば、多孔質層の形成とアニールによって空洞層 13 と単結晶半導体層 14 との形成を行うものであるが、この多孔質層の形成

20

条件や、アニール条件の選定によって、空洞層 13 の強度、すなわち例えば柱状体の太さ等の選定ができることから、半導体基板 16 の使用目的に応じて、その分離強度を容易、かつ確実に選定することができる。

【0093】そして、本発明方法においては、前述したように、陽極化成後にアニールによって空洞層および単結晶半導体層を形成して後の多孔質層表面もしくは単結晶半導体層への半導体膜等のエピタキシャル成長は、例えば CVD 法により、 $700^\circ\text{C} \sim 1200^\circ\text{C}$ の温度で行うことができるので、この場合アニール温度より低い温度によって成膜を行うことによって、アニール条件の選定によって選定された空洞層および単結晶半導体層の厚さ、空洞層における柱状体の太さ、密度等の空孔率が、半導体膜等の成膜によって変動することを回避できる。

【0094】また、本発明製造方法によれば、半導体基板 16 を構成する半導体基体 11 は、空洞層 13 における単結晶半導体層 14、半導体膜 17 の半導体基体 11 からの分離の後の、残された半導体基体に関しては、再び例えばその表面を電解研磨等によって研磨することによって、半導体基板 16 を得るための半導体基体 11 として繰り返す使用するとか、半導体基板 16 の形成によって減じた厚さを、エピタキシャル成長によって補う等によって、多数回の繰り返し使用を可能にするとか、更に前述したように、担持基板 19 として用いることができることから、安価に製造できる。

【0095】また、本発明製造方法によれば、半導体膜上に担持基板 19 として、プリント基板などの基板を接合して基板と半導体膜とを一体化させた後、半導体基体 11 からの剥離を行うという方法を採用することができるので、この担持基板 19 の種類には制限はなく、金属板、セラミック、ガラス、樹脂等、従来からの半導体技術の常識では到底考えられなかったような基板上に薄膜単結晶半導体を形成するとか、太陽電池を形成できる。

【0096】

【発明の効果】上述したように、本発明によれば、各種使用目的、態様に応じた最適強度、構造の半導体基体を容易、かつ安価に提供できるものである。したがって、各種半導体装置を量産的に、歩留り良く、高い収率をもって、したがって、低コストをもって製造できるという工業的に重要な効果を奏することができるものである。

【図面の簡単な説明】

【図 1】本発明方法を実施する陽極化成装置の一例の構成図である。

【図 2】本発明方法を実施する陽極化成装置の他の例の構成図である。

【図 3】A～D は、本発明による半導体基体を得る一製造方法の工程図である。

【図 4】本発明による半導体基体の一例の断面図である。

【図 5】本発明による半導体基体の一例の SEM 像であ

21

る。

【図6】本発明による半導体基体の他の例のSEM像である。

【図7】本発明による半導体基体の一例の更に拡大されたSEM像である。

【図8】本発明による半導体基体の他の例の更に拡大されたSEM像である。

【図9】本発明の説明に供する空洞層の穴の構造を示す図である。

【図10】本発明の説明に供する空洞層の穴の構造を示す図である。

【図11】AおよびBは、本発明による薄膜半導体の製造方法の一例の工程図である。

【図12】A～Eは、本発明によるSOI基板の製造方法の一例の工程図である。

【図13】A～Dは、本発明による集積回路装置の製造方法の一例の工程図である。

【図14】A～Cは、本発明による太陽電池の製造方法の一例の工程図（その1）である。

*

22

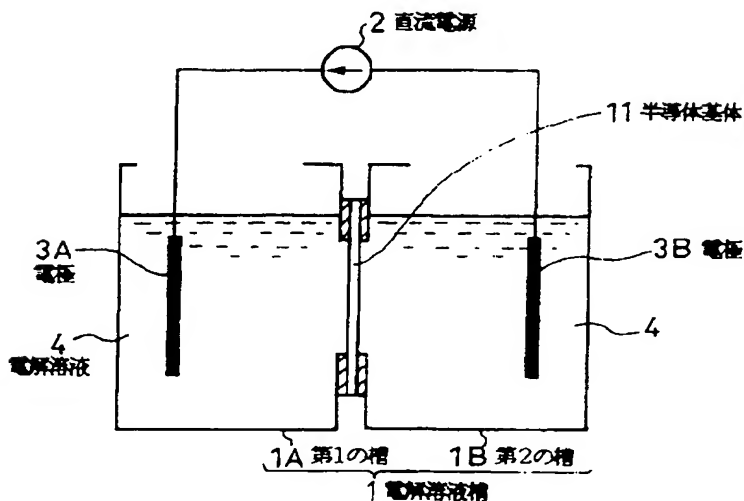
*【図15】DおよびEは、本発明による太陽電池の製造方法の一例の工程図（その2）である。

【図16】A～Gは、本発明によるSOI基板の製造方法の他の例の工程図である。

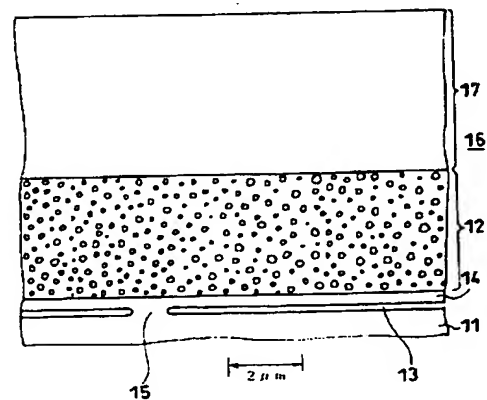
【符号の説明】

1 電解溶液槽、1A 第1の槽、1B 第2の槽、1H 開口、2 直流電源、3A、3B 電極、11 半導体基体、12 多孔質層、13 空洞層、14 単結晶半導体層、15 柱状体、16 半導体基板、17 半導体膜（もしくは材料膜）、18 絶縁層、19 担持基板、20 SOI基板、21 接着剤、26 絶縁膜、27 薄膜半導体、37 電極ないしは配線、41 導電線、51 分離絶縁層、52 ゲート絶縁膜、53 ゲート電極、54 サイドウォール、55 半導体領域、56 第1の層間絶縁層、57 第1の配線層、58 第2の層間絶縁層、59 第2の配線層、第1の半導体膜、132 第2の半導体膜、133 第3の半導体膜、171 第1の半導体膜、172 第2の半導体膜、173 第3の半導体膜

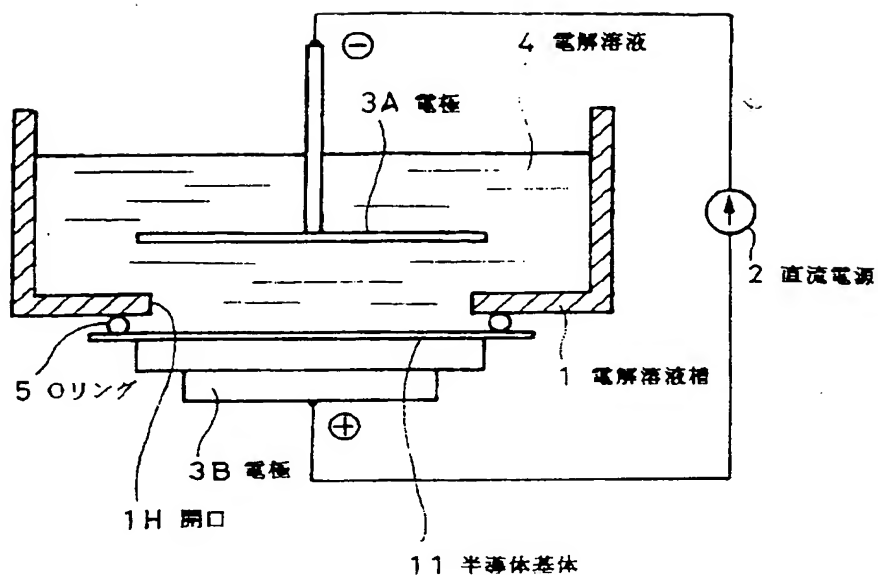
【図1】



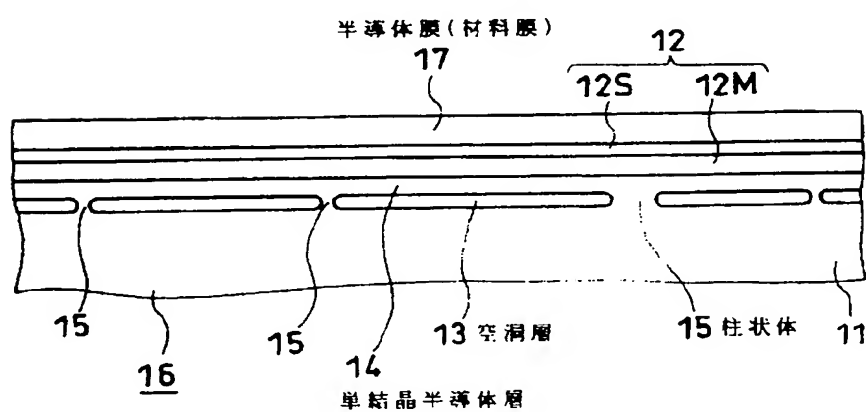
【図5】



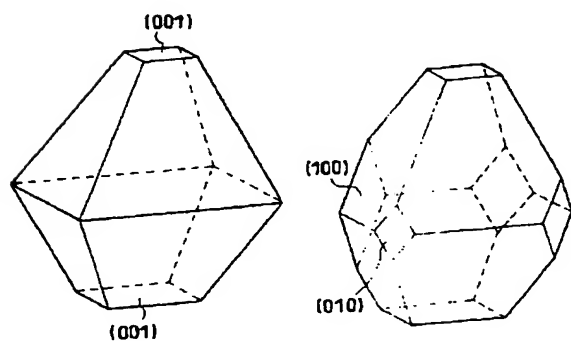
【図2】



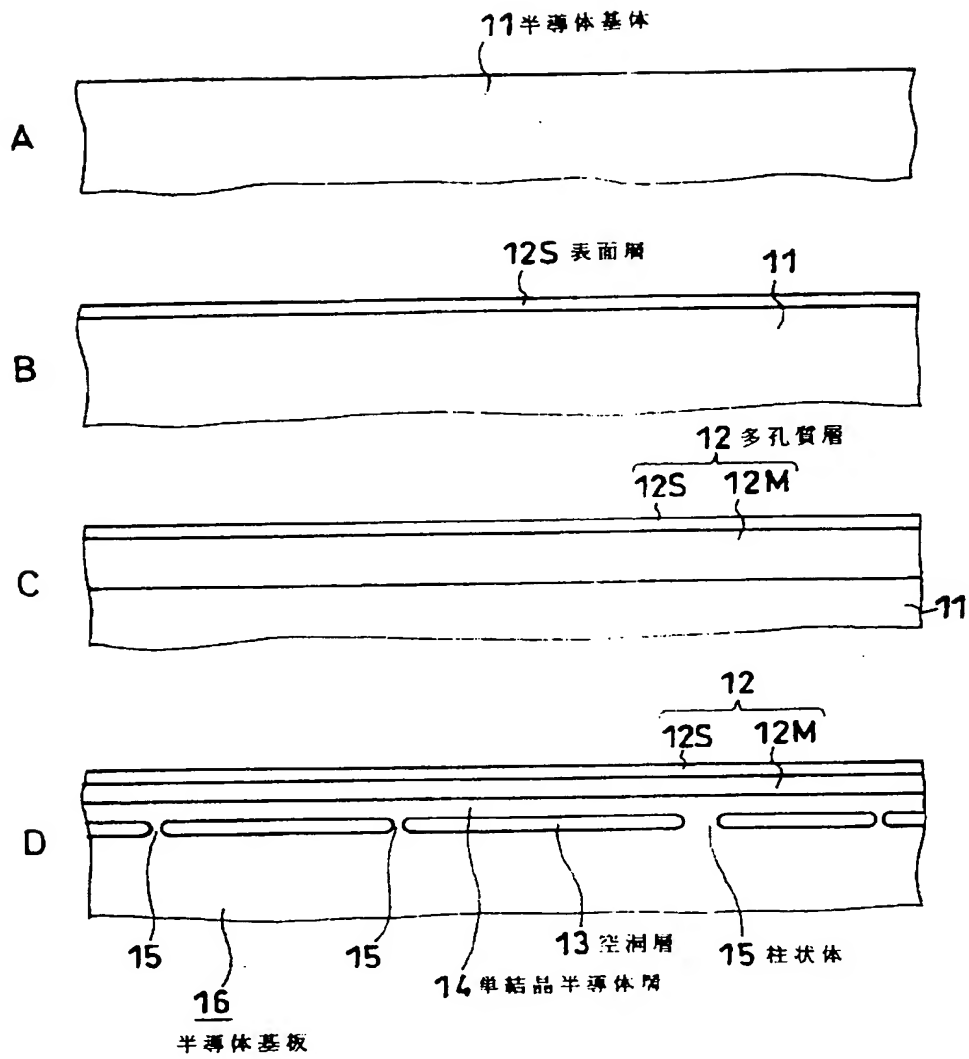
【図4】



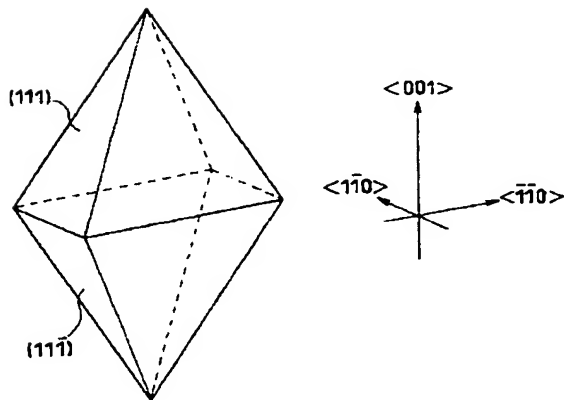
【図10】



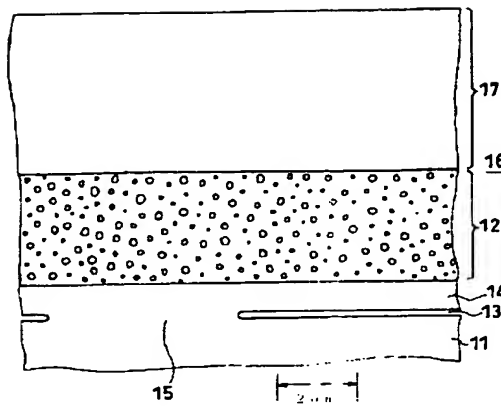
【図3】



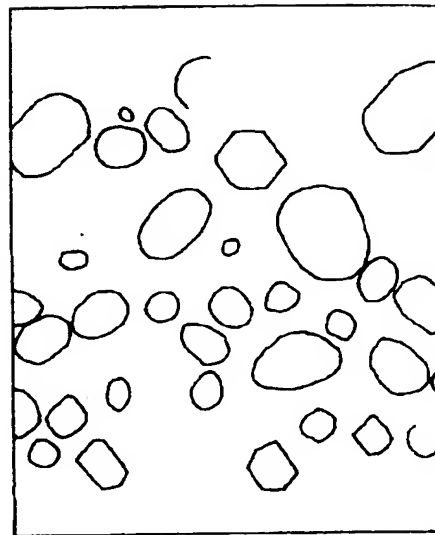
【図9】



【図6】

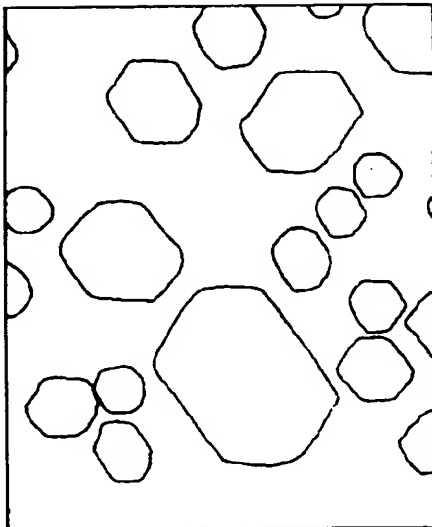


【図7】



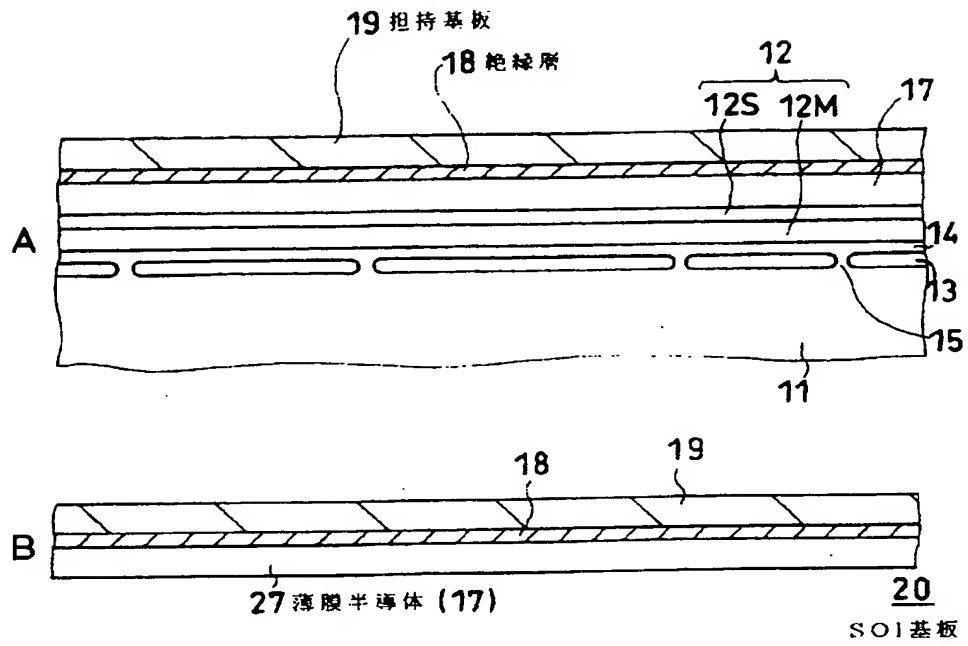
(110)面のSEM像

【図8】

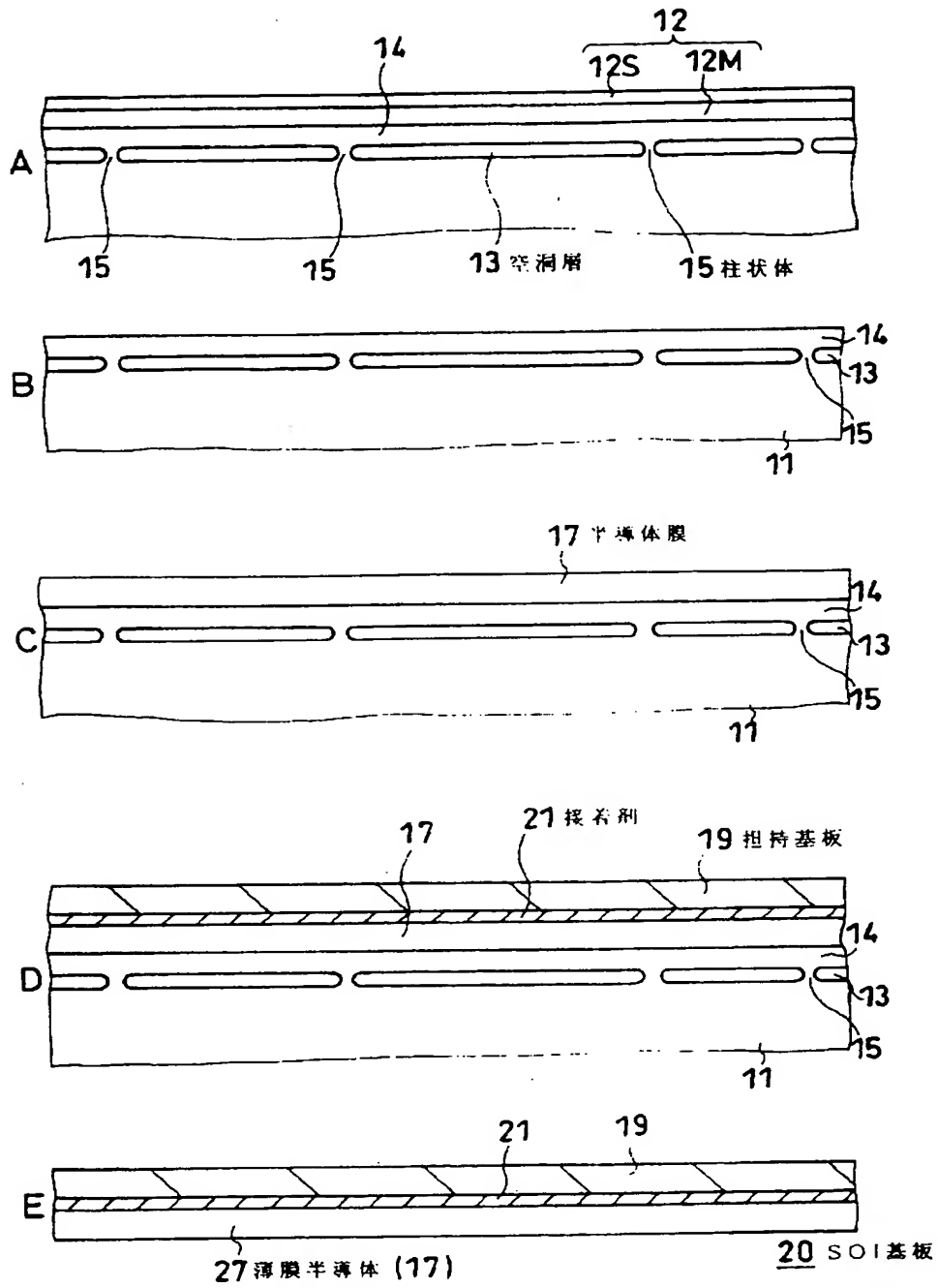


(110)面のSEM像

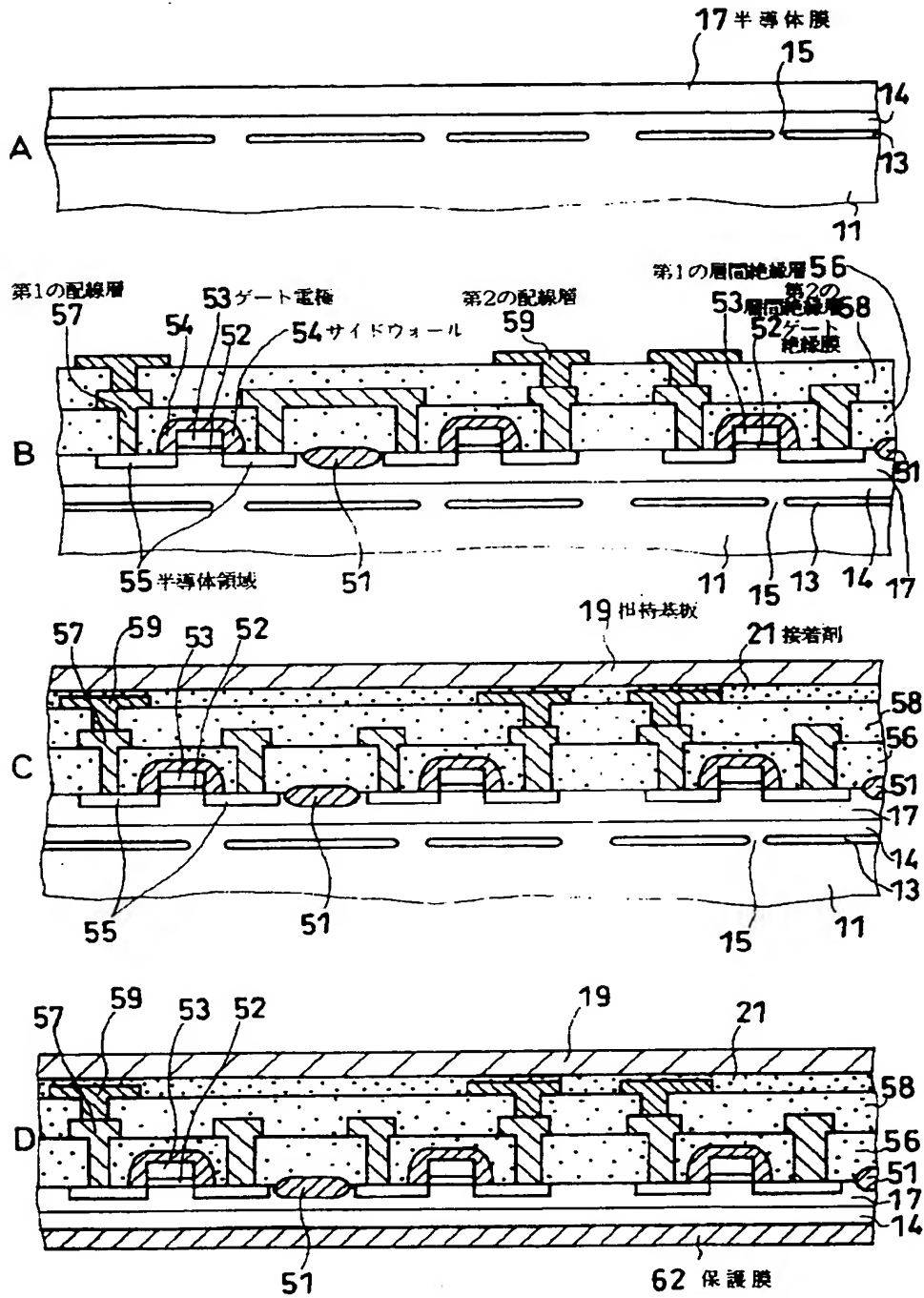
【図11】



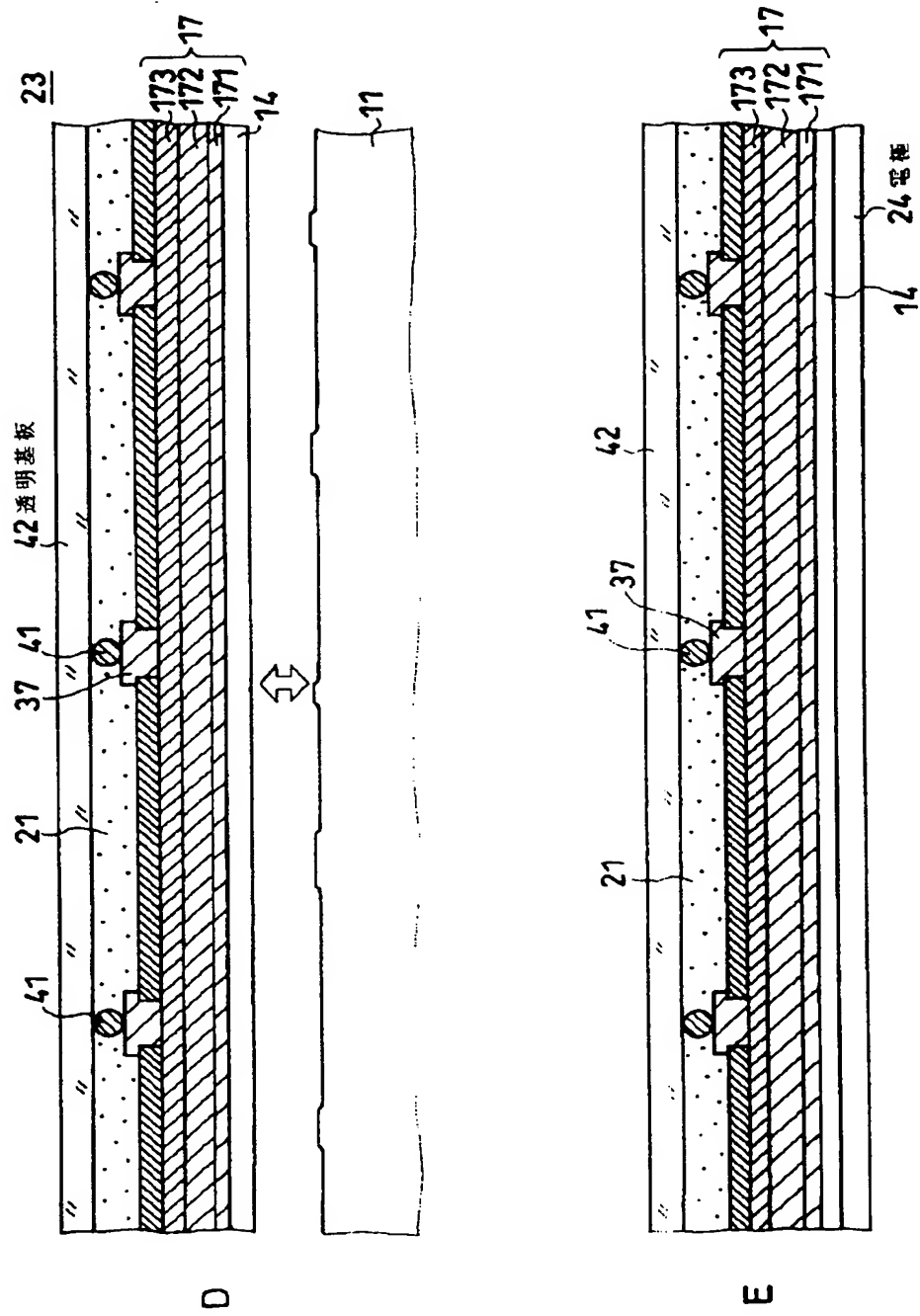
【図12】



【図13】



【図 15】



【図16】

